

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-304888

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G01R 31/3183

(21)Application number : 10-107661

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 17.04.1998

(72)Inventor : OCHIAI KATSUMI

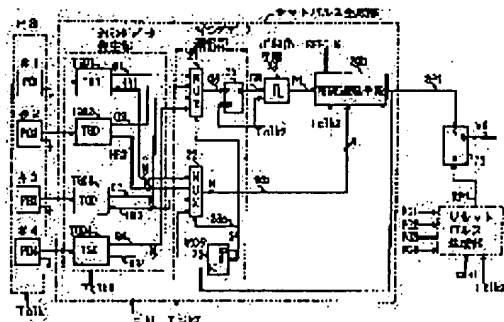
MISONO TOSHIAKI

## (54) SEMICONDUCTOR TESTING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the timing accuracy of a delay pulse signal by successively switching a high resolution delay data from each inter leave phase followed by supplying to a variable delay means, and successively outputting a set pulse with a corresponding delay quantity.

**SOLUTION:** A multiplexer (MUX) 21 selects a signal corresponding to the selected signal 23a from a counter 23 of set signals G1-G4, and a FF 25 receives this and outputs a set signal G6 synchronous to a four-fold clock Tclk2. A pulsing means 28 converts the signal G6 to a pulse signal P1 synchronous to the four-fold clock Tclk2, and outputs it to a variable delay means 30b. However, the MUX 22 selects either one of high resolution delay data HR1-HR4 corresponding to the selected signal 23a, and supplies a plurality of selected delay data HR5 with an M-bit width to the variable delay means 30b. The variable delay means 30b receives the delay data HR5 and the pulse signal P1 and successively generates and outputs a delay pulse signal, corresponding to the delay data HR5 (for example, a set pulse signal SP1).



BEST AVAILABLE COPY

## LEGAL STATUS

**AM**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-304888

(43) 公開日 平成11年(1999)11月5日

(51) Int. Cl.<sup>6</sup>

識別記号

P I

G 0 1 R 31/3183

G 0 1 R 31/28

Q

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平10-107661

(22) 出願日 平成10年(1998)4月17日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 落合 克己

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72) 発明者 御園 俊明

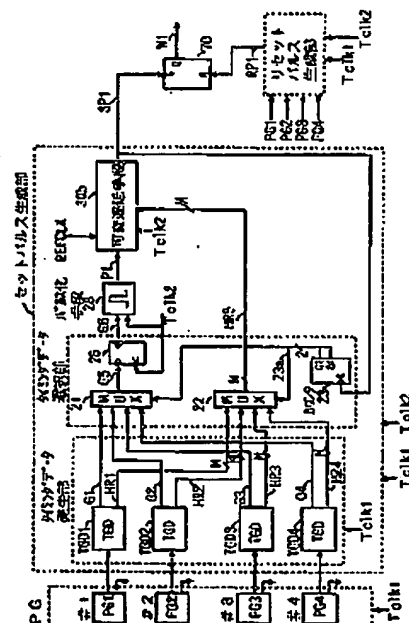
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(54) 【発明の名称】 半導体試験装置

(57) 【要約】

【課題】 可変遅延手段を備え、インターリーブ構成で遅延パルス信号を発生する半導体試験装置において、発生出力する遅延パルス信号のタイミング幅度を一層向上可能な半導体試験装置を提供する。

【解決手段】 インターリーブ相数し構成により波形整形した試験波形を発生する半導体試験装置において、1つの可変遅延手段によりし相からの遅延情報を受けて、遅延情報に対応する遅延パルス信号を順次生成して出力する半導体試験装置



(2)

特開平11-304888

1

2

## 【特許請求の範囲】

【請求項1】 インターリーブ相数 $L$ は2以上の数）構成により波形整形した試験波形を発生する半導体試験装置において、1つの可変遅延手段により該インターリーブ相からの遅延情報を受けて、該遅延情報に対応する遅延パルス信号を順次生成して出力することを特徴とする半導体試験装置。

【請求項2】 インターリーブ相数 $L$ 構成により波形整形した試験波形を発生する半導体試験装置において、一方のセット側における $L$ 相からの遅延情報を1つの可変遅延手段で受けて、該遅延情報に対応するセットパルス信号を順次生成出力し、セット／リセット型のフリップ・フロップのセット入力端に供給し、他方のリセット側における $L$ 相からの遅延情報を1つの可変遅延手段で受けて、該遅延情報に対応するリセットパルス信号を順次生成出力し、セット／リセット型の該フリップ・フロップのリセット入力端に供給して、波形整形した試験波形を発生出力することを特徴とする半導体試験装置。

【請求項3】 インターリーブ相数 $L$ 構成により波形整形した試験波形を発生する半導体試験装置において、各インターリーブ相から出力される高分解能遅延データとパルス起動情報とを受けて、一方のセット側のセットパルス信号の生成において、1つの可変遅延手段を用い、順次該高分解能遅延データを該可変遅延手段へ供給して、該可変遅延手段から出力されるセットパルス信号をセット／リセット型のフリップ・フロップのセット入力端に供給する手段と、

各インターリーブ相から出力される高分解能遅延データとパルス起動情報とを受けて、他方のリセット側のリセットパルス信号の生成において、1つの可変遅延手段を用い、順次該高分解能遅延データを該可変遅延手段へ供給して、該可変遅延手段から出力されるリセットパルス信号をセット／リセット型のフリップ・フロップのリセット入力端に供給する手段と、

を具備していることを特徴とする半導体試験装置。

【請求項4】 インターリーブ相数 $L$ 構成により所定遅延量に遅延したパルス信号を発生する遅延パルス発生部を備える半導体試験装置において、インターリーブ相数 $L$ 構成からの各遅延情報を1つの可変遅延手段で受けて、該遅延情報に対応する遅延パルス信号を該可変遅延手段から順次生成して出力することを特徴とする半導体試験装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、可変遅延手段を備え、インターリーブ構成で遅延パルス信号を発生する半導体試験装置において、発生出力する遅延パルス信号のタイミング精度向上に関する。特に、被試験デバイスへ供給する試験周波数が高い試験波形信号のタイミング精度向上に関する。

【0002】

【従来の技術】従来の技術について図5～図7を参照して以下に説明する。まず、概要について図5を参照して簡単に説明する。これはバービンのアーキテクチャ形態の半導体試験装置の試験波形発生部が複数 $N$ チャンネル、例えば1000チャンネル有している。尚、半導体試験装置は公知であり技術的に良く知られている為、半導体試験装置全体の概要説明については省略する。

【0003】1チャンネルの主な内部構成は、図5

(a)に示すように、パターン発生部PGと、セットパルス生成部と、リセットパルス生成部と、フリップ・フロップ70と、ドライバで成る。パターン発生部PGは試験パターンを発生し、波形整形した信号を出力する。セットパルス生成部はリセットパルス生成部と同じ機能要素であり、PGからの信号を受けて、図5(b)に示すように、所定タイミングのセットパルス信号SP10を出力する。リセットパルス生成部は同様に所定タイミングのリセットパルス信号RP11を出力する。フリップ・フロップ70は上記両パルスを受けて被試験デバイス(DUT)へ印加する試験波形W1を生成して出力する。

【0004】次に、一方のセットパルス生成部の内部構成について、図6を参照して説明する。ここでインターリーブ構成の相数(way)を $L$ 相とする。この構成では4相(way)のインターリーブ構成とした一例である。他に試験速度によっては、インターリーブなし、あるいは $L=2$ 相、8相等のインターリーブ構成のものもある。この図では、試験周波数が高い高速の試験波形の発生の場合として、 $L=4$ 相構成の例である。例えば最大の試験周波数(テストレート)が500MHzの場合は、 $1/4$ の125MHzの低速となり、実用的に回路を構成容易となる。しかしながら、回路規模は4倍に増加する。尚、リセットパルス生成部側の内部構成は、セットパルス生成部と同様であるので、その説明については省略する。

【0005】4相インターリーブ構成に対応して、パターン発生部PG側も4相インターリーブ構成であり、PG1～PG4で成り、各出力端からセットパルス生成部、及びリセットパルス生成部の対応するTGD1～TGD4の入力端へセット又はリセットパターン情報を供給している。

【0006】セットパルス生成部は、4チャンネルのタイミングパルス発生部で成り、その1チャンネルの内部構成は、タイミング発生・デジタル部TGD1と、パルス化手段28と、可変遅延手段29とで成る。

【0007】タイミング発生・デジタル部TGD1は、パターン発生部PGからのセットパターン情報を受けて、例えばテストレート毎に遅延情報、即ちセット信号(パルス起動情報)G1と、Mビット幅の高分解能遅延データHR1を発生する。ここでMビット幅はシステム

(3)

特開平11-304888

3

仕様の遅延分解能によって異なるが、例えば10ビット幅のデータである。

【0008】パルス化手段28は、上記タイミング発生・デジタル部TGD1からのセット信号G1を受けて、所定の狭パルス幅に整形したパルス信号P1を出力する。

【0009】可変遅延手段29は、図7(a)の内部構成に示すように、微小可変遅延回路38であって、クロックTclkの周期時間程度の変動遅延量、例えば8ナノ秒程度を備えている。これは半導体試験装置で良く用いられる周知の可変遅延回路であり、上記高分解能遅延データHR1を受けて、例えば数十ピコ秒分解能で、パルス信号P1を所定時間遅延したセットパルス信号SP1を出力する。このセットパルス信号SP1は、最終的にDUTに印加される波形信号の立ち上がりエッジのタイミングを決定している。

【0010】OR手段27は、上述した4チャンネルのタイミングパルス発生部から出力されるセットパルス信号SP1～SP4を受けて、論理和したセットパルス信号SP10を出力する。

【0011】フリップ・フロップ70は、セット/リセット型のフリップ・フロップ、例えばRSフリップ・フロップであり、上記セットパルス生成部からのセットパルス信号SP10をセット入力端に受けて、出力状態をハイレベルにセットし、同様に、リセットパルス生成部からのリセットパルス信号RP11をリセット入力端に受けて、出力状態をローレベルにリセットした試験波形W1を生成し、ドライバを介してDUTへ供給、あるいはその他へ供給する。

【0012】

【発明が解決しようとする課題】ところで、上述説明した従来構成においては、生成された試験波形W1においてタイミング精度上の難点がある。即ち、インターリーブの各4相の個々において、各々に可変遅延手段29を備え、これにより所定タイミングのセットパルス信号SP1～SP4を生成している。各4相の可変遅延手段29は全く同一ではないが、最小遅延分解能のばらつきを有したセットパルス信号SP1～SP4となる。これに伴って、図7(b)のBに示すように、相対的なタイミング変動、即ちインターリーブ・ジッタを生じる。このジッタ量は最大で最小分解能×2の値となる。例えば50ピコ秒分解能と仮定すると、最大100ピコ秒のジッタを生じる。このジッタはリセット側についても同様に発生する。更に、環境温度の変動によってインターリーブ間の遅延量が変わる難点がある。これらの観点から1つのテストチャンネルからDUTへ印加する試験波形自体に、インターリーブ・ジッタや相対的なタイミング変動を生じる為好ましくない。半導体試験装置におけるタイミング精度は最も重要な性能要素であり、上記インターリーブ・ジッタや相対的なタイミング変動を生じるこ

4

とは、実用上の難点である。また、可変遅延手段29を各4相に各々備えることは数百チャンネル以上ものテストチャンネルを有する為、回路規模が増大するという難点もある。そこで、本発明が解決しようとする課題は、可変遅延手段を備え、インターリーブ構成で遅延パルス信号を発生する半導体試験装置において、発生出力する遅延パルス信号のタイミング精度を一層向上可能な半導体試験装置を提供することである。

【0013】

10 【課題を解決するための手段】第1に、上記課題を解決するための発明構成は、インターリーブ相数L(Lは2以上の数)構成により波形整形した高速の試験波形W1を発生する半導体試験装置において、1つの可変遅延手段30bにより各インターリーブ相からの遅延情報(例えば高分解能遅延データHR1～HR4とセット信号G1～G4)を受けて、遅延情報に対応する遅延パルス信号(例えばセットパルス信号SP1、リセットパルス信号RP1)を順次生成して出力することを特徴とする半導体試験装置である。上記発明によれば、可変遅延手段を備え、インターリーブ構成で遅延パルス信号及び、この遅延パルス信号を用いてDUTその他へ供給する試験波形を発生する半導体試験装置において、発生出力する遅延パルス信号のタイミング精度、即ちインターリーブ・ジッタや相対的なタイミング変動を一層向上可能で、かつ比較的安価な半導体試験装置が実現できる。

【0014】また、インターリーブ相数L構成により波形整形した高速の試験波形W1を発生する半導体試験装置において、一方のセット側におけるL相からの遅延情報を1つの可変遅延手段30bで受けて、遅延情報に対応するセットパルス信号SP1を順次生成出力し、セット/リセット型のフリップ・フロップ70のセット入力端に供給し、他方のリセット側におけるL相からの遅延情報を1つの可変遅延手段30bで受けて、遅延情報に対応するリセットパルス信号RP1を順次生成出力し、セット/リセット型のフリップ・フロップ70のリセット入力端に供給して、波形整形した高速の試験波形W1を発生出力することを特徴とする半導体試験装置がある。

40 【0015】第1図と第2図は、本発明に係る解決手段を示している。第2に、上記課題を解決するために、本発明の構成では、インターリーブ相数L構成により波形整形した高速の試験波形W1を発生する半導体試験装置において、各インターリーブ相から出力される高分解能遅延データHR1～HR4とパルス超動情報(例えばセット信号G1～G4)とを受けて、一方のセット側のセットパルス信号SP1の生成において、1つの可変遅延手段30bを用い、順次高分解能遅延データHR1～HR4を可変遅延手段30bへ供給して、可変遅延手段30bから出力されるL相分のセットパルス信号SP1を

50

(4)

特開平11-304888

5

入力端に供給する手段を具備し、各インターリーブ相から出力される高分解能遅延データHR1~HR4とパルス起端情報(例えばセット信号G1~G4)を受け、他方のリセット側のリセットパルス信号RP1の生成において、1つの可変遅延手段30bを用い、順次高分解能遅延データHR1~HR4を可変遅延手段30bへ供給して、可変遅延手段30bから出力されるL相分のリセットパルス信号RP1をセット/リセット型のフリップ・フロップのリセット入力端に供給する手段を具備することを特徴とする半導体試験装置がある。

【0016】また、インターリーブ相数L構成により所定遅延量に遅延したパルス信号を発生する遅延パルス発生部(例えばセットパルス生成部、リセットパルス生成部等)を備える半導体試験装置において、インターリーブ相数L構成からの各遅延情報を1つの可変遅延手段30bで受けて、遅延情報に対応する遅延パルス信号(例えばセットパルス信号SP1)を可変遅延手段30bから順次生成して出力することを特徴とする半導体試験装置がある。

【0017】

【発明の実施の形態】以下に本発明の実施の形態を実施例と共に図面を参照して詳細に説明する。

【0018】本発明について図1~図4を参照して以下に説明する。図1は、本発明の一実施例を示す1チャンネルの試験波形の発生構成図であり、4相のインターリーブ構成例としたセットパルス生成部の内部構成図である。この図で、リセットパルス生成部側の内部構成は、セットパルス生成部と同様であるので、その説明については省略する。尚、従来構成に対応する要素は同一符号を付す。

【0019】セットパルス生成部の内部構成は、図1に示すように、タイミングデータ発生部と、タイミングデータ選択部と、パルス化手段28と、可変遅延手段30bとで成る。タイミングデータ発生部はタイミング発生・デジタル部TGD1~TGD4で成り、タイミングデータ選択部はマルチプレクサ(MUX)21、22と、カウンタ23と、フリップ・フロップ25とで成る。本発明の構成は、従来の各相毎に備えていた4つの可変遅延手段29を1つにし、代わりにタイミングデータ選択部を備える構成としている。また、タイミングデータ選択部以後はインターリーブしない為にクロックTclkの4倍のクロックTclk2を用いる。

【0020】タイミングデータ発生部は従来と同様であり、各相毎に有するタイミング発生・デジタル部TGD1~TGD4からの個別の遅延情報、即ちセット信号G1~G4をMUX21へ供給し、及びMビット幅の高分解能遅延データHR1~HR4をMUX22へ供給する。

【0021】MUX21は、4入力1出力型のマルチプレクサであり、カウンタ23からの選択信号23aを受

6

けて、これに対応するセット信号G1~G4の何れかを選択して出力する。これをフリップ・フロップ25で受けて、4倍のクロックTclk2に同期(リタイミング)したセット信号G6を出力する。このフリップ・フロップ25の出力端において、どのインターリーブ相に係わらず、同じタイミングの信号が出力される。

【0022】MUX22は、4入力1出力型のマルチプレクサをMチャンネル備える構成で成り、上記同様に、カウンタ23からの選択信号23aを受けて、これに対応する高分解能遅延データHR1~HR4の何れかを選択したMビット幅の選択遅延データHR5を可変遅延手段30bへ供給する。

【0023】カウンタ23は、インターリーブ相数が4相であるから、2ビットのバイナリカウンタであり、可変遅延手段30bの出力端からのセットパルス信号SP1をクロック入力端に受けて計数動作する。これによりタイミング発生・デジタル部TGD1~TGD4からの信号をMUX21、22により順次切替え制御する。

【0024】パルス化手段28は、上記セット信号G6を受けて、4倍のクロックTclk2に同期したパルス信号P1に変換して出力する。この結果、どのインターリーブ相の信号に係わらず、同じタイミングのパルスが出力される利点が得られる。即ち、これによりインターリーブ・ジッタが解消されることとなる。

【0025】本発明の可変遅延手段30bは従来の可変遅延手段29と少し異なる。即ち、その内部構成は、図2に示すように、フリップ・フロップ32、33、34とマルチプレクサ(MUX)35と、ゲート手段37と、微小可変遅延回路38bとで成る。

【0026】フリップ・フロップ32、33、34とマルチプレクサ(MUX)35とは、クロックTclk2単位時間(例えば2ナノ秒)の遅延量を担当するものである。即ち、図2(b)に示すように、入力のパルス信号P1をクロックTclk2で順次シフトしたパルス信号P1、P2、P3、P4をMUX35の選択入力端へ供給し、選択遅延データHR5の上位2ビットをMUX35の選択制御入力端へ供給する。テストレートの周波数がクロックTclk2と同じ最高周波数の場合には、Tclk2毎に連続してMビット幅の選択遅延データHR5が与えられ、図2(b)に示す選択パルス信号P5のように連続して選択出力される。

【0027】ゲート手段37は、上記選択パルス信号P5を受けて、REFCLKによりパルスに変換したパルス化信号P6を微小可変遅延回路38bへ供給する。尚、REFCLKは、これにより試験波形のセット側のエッジが決まる為に、高安定な基準となるタイミングクロックを使用する。

【0028】一方、後段の微小可変遅延回路38bは、クロックTclk2周期時間未満の小さな可変遅延量、例えば約2ナノ秒程度を備えれば良い。これは、上記パルス

(5)

特開平11-304888

7

化信号P6を受け、選択遅延データHR5の下位M-2ビットを受けて、所定に遅延したセットパルス信号SP1を出力する。この結果、従来より1/4程度の微小可変遅延回路を備えれば良いこととなる。更に、この遅延回路が安価にできる。ここで、遅延素子は、周知のように、LSIの数ナノ秒程度のゲートを用い、このゲートを多数段直列接続して実現している。この為、温度依存性があるが、本発明では1/4程度の微小可変遅延回路を備えるのみである為に、この温度依存性も1/4程度に減少できる大きな利点が得られる。更に、隣接するパルス信号との干渉に伴い、遅延素子内を通過して累積される極小なジッタの発生も、ほぼ1/4に低減できる大きな利点が得られる。

【0029】尚、クロックTclkは、図4(a)に示すように、クロックTclkを用いて4倍速して発生する方法がある。もし、4倍のクロックTclkがある場合は、図4(b)に示すように、これを1/4に分周してクロックTclkとしても良い。

【0030】次に、図3のタイミング図を示して、連続するインターリーブ動作を説明する。この図では、4相インターリーブが図3A、B、C、Dの順で繰返し動作するものとする。このとき、最初の#1の高分解能遅延データHR1を(8ns×0+2ns×2+1ns)とし、以後#2のHR2を(8ns×3+2ns×0+0.5ns)とし、#3のHR3を(8ns×2+2ns×1+0.5ns)とし、#4のHR4を(8ns×1+2ns×3+0ns)とし、#5のHR1を(8ns×0+2ns×0+0ns)とする。上記のときカウンタ23aの選択状態は図3Eに示すように、HR1、HR2、HR3、HR4、HR1を選択するものとする。

【0031】ここで上記高分解能遅延データHR1~HR4の各実データ値の中で8nsの項は、タイミング発生部側のTGD1~TGD4によるTclk単位の遅延量であり、遅延されたセット信号G1~G4の位置が、8ns単位の遅延項を示している。また、高分解能遅延データHR1~HR4の各実データ値の中で2番目の2nsの項は、図2に示す選択遅延データHR5の上位2ビットに相当し、Tclk単位、即ち2ns単位に遅延したパルス化信号P6(図3G参照)となる。また、高分解能遅延データHR1~HR4の各実データ値の中で3番目の2ns未満の項は、図2に示す選択遅延データHR5の下位M-2ビットに相当し、微小可変遅延回路38bで遅延したセットパルス信号SP1(図3H参照)となる。

【0032】上記図3のタイミング説明から判るように、1つの微小可変遅延回路38bを用いて動作可能であることが判る。つまり、本発明では、4相にインターリーブされた各高分解能遅延データHR1~HR4を受けて、1つの微小可変遅延回路38bで、各々所定に遅延したセットパルス信号SP1を生成でき、回路規模を低減できることが判る。

8

【0033】尚、本発明の構成は、上述実施の形態に限るものではない。例えばL=4相インターリーブを所望の相数(2以上の整数)とし、この相数に対応するように構成しても良い。また、所望により、図2の微小可変遅延回路38bの代わりに、図7に示す微小可変遅延回路38を用いても良い。また、フリップ・フロップ32、33、34をシフトレジスタに置換しても良い。

【0034】また、上述実施の発生形態以外に、半導体試験装置内には可変遅延手段を備え、インターリーブ構成で所定に遅延した遅延パルス信号を発生する遅延パルス発生部がある。この遅延パルス発生部に対しても、図8の構成に示すように、インターリーブ相数L構成に対して、1つの可変遅延手段を備え、これによりL相からの各遅延情報を受けて、この遅延情報に対応するパルス信号SP1を1つの可変遅延手段30bから順次発生しても良く、同様にして適用可能である。

【0035】

【発明の効果】本発明は、上述の説明内容から、下記に記載される効果を奏する。上述説明したように本発明によれば、インターリーブの各相が出力する高分解能遅延データHR1~HR4を順次切替えて可変遅延手段30bへ供給するように構成し、この高分解能遅延データHR1~HR4に対応した遅延量で順次セットパルス信号SP1を出力する可変遅延手段30bを具備する構成としたことにより、1系統の可変遅延手段30bを用いて実現可能となる。この結果、従来のようなインターリーブ・ジッタや相対的なタイミング変動を大幅に低減でき、半導体試験装置におけるタイミング精度を一層向上可能となる大きな利点が得られる。更に、1系統の可変遅延手段30bで良く、かつ、例えば相数L=4相インターリーブの場合は1/4程度の微小可変遅延回路を備えれば良いので可変遅延手段30bの回路規模が従来比で1/16程度に大幅に低減でき、安価に実現できる大きな利点も得られる。更に、微小可変遅延回路の温度依存性も、およそ1/4に低減できる大きな利点が得られる。従って本発明の技術的効果は大であり、産業上の経済効果も大である。

【図面の簡単な説明】

【図1】本発明の、4相インターリーブ時における試験波形発生部の構成例である。

【図2】図1の可変遅延手段の具体構成例と、タイムチャートである。

【図3】図1、図2の動作を説明するタイムチャートである。

【図4】クロック発生の構成例である。

【図5】従来の、試験波形発生に係る概念構成と、タイムチャートである。

【図6】従来の、試験波形発生部の4相インターリーブ時における構成例である。

【図7】従来の、可変遅延手段の構成例と、試験波形の

(6)

特開平11-304888

9

10

出力を説明するタイムチャートである。

\* 25, 32, 33, 34 フリップ・フロップ

【図8】本発明の、4相インターリーブ時における遅延

27 OR手段

パルス発生部の構成例である。

28 パルス化手段

【符号の説明】

29, 30b 可変遅延手段

TGD1~TGD4 タイミング発生・デジタル部

37 ゲート手段

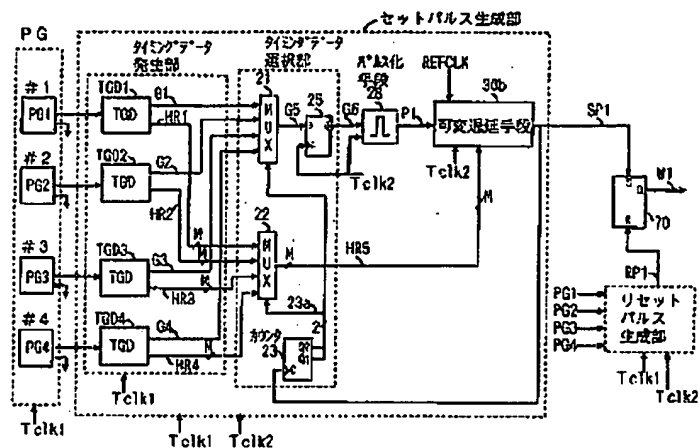
21, 22, 35 マルチプレクサ(MUX)

38, 38b 微小可変遅延回路

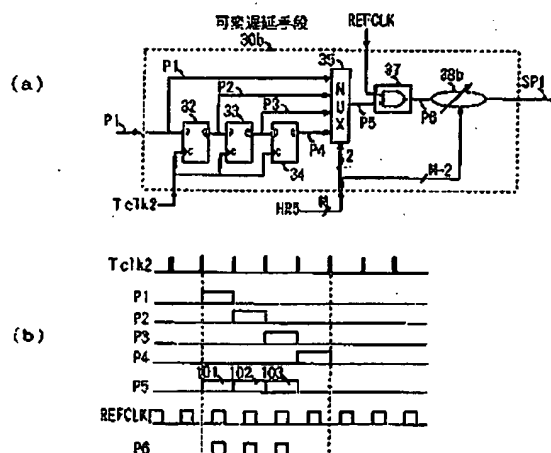
23 カウンタ

\* 70 フリップ・フロップ

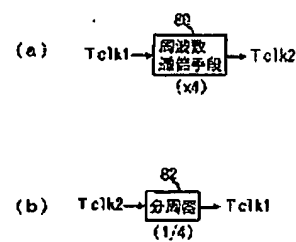
【図1】



【図2】



【図4】

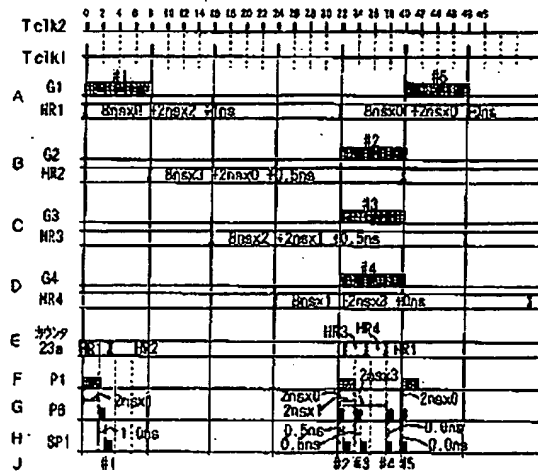




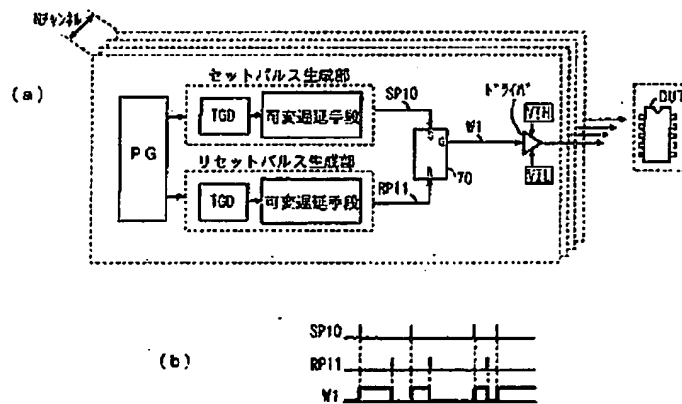
(7)

特開平11-304888

【図3】



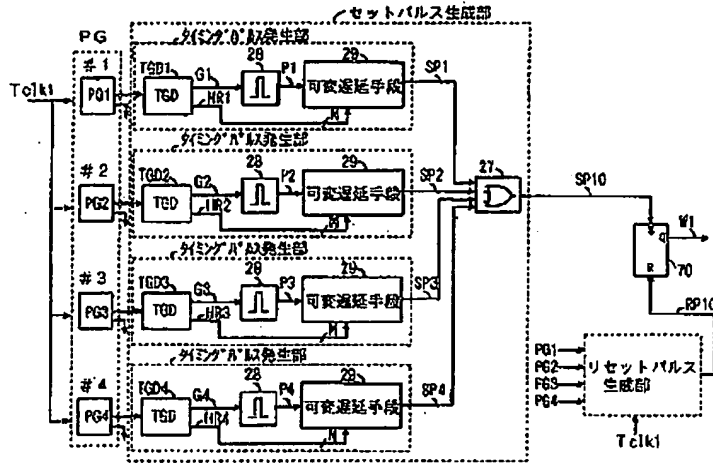
【図5】



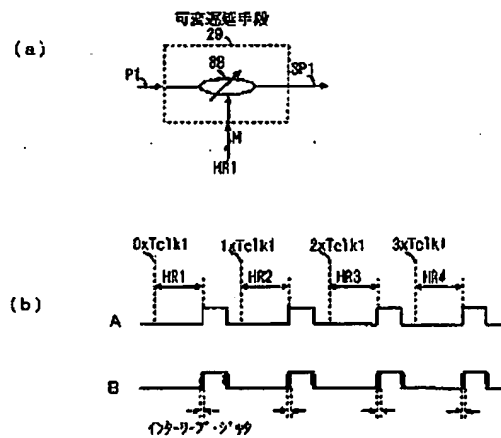
(8)

特開平11-304888

【図6】



【図7】



(9)

特開平11-304888

〔図8〕

